

PAT-NO: JP363293970A
DOCUMENT-IDENTIFIER: JP 63293970 A
TITLE: SEMICONDUCTOR DEVICE AND FORMATION OF ELECTRODE USED FOR
SAID SEMICONDUCTOR DEVICE
PUBN-DATE: November 30, 1988

INVENTOR-INFORMATION:

NAME
OGURA, SADA O
YAMAZAKI, KOICHI
KOWASE, YASUAKI
SUDO, YOSHIAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP62128271
APPL-DATE: May 27, 1987

INT-CL (IPC): H01L027/04, H01L021/60 , H01L027/01
US-CL-CURRENT: 148/DIG.93, 257/536 , 257/787 , 438/FOR.419

ABSTRACT:

PURPOSE: To obtain electrode-resistor having high reliability and high accuracy without increasing cost by a method wherein an electrode material film is formed onto a semiconductor substrate, an electrode pattern is shaped through photographic processing, a window hole is bored to an insulating film on the pattern, one part of the surface of the electrode is probed, and one part of the electrode pattern is trimmed by a laser through the insulating film or the window hole, measuring the electrical characteristics of an element.

CONSTITUTION: In an electrode-pattern forming process in a semiconductor device such as an IC, a diffusion layer 3 as one part of an element region is shaped through selective diffusion, using a surface oxide film 2 for an Si substrate 1, etc., as a mask, and a window hole for an electrode contact is bored to the oxide film 2. A metal such as Al is evaporated, and electrode patterns 4a, 4b are formed through photoetching employing a pattern mask. A measuring probe 5 is brought into contact with the pad section 4b for the electrode patterns, and an electrode is cut at a position to be trimmed 6 required through laser trimming, measuring a resistance value, etc., thus shaping a resistor 7. Lastly, a chip and leads are molded and sealed with a resin 12, etc.

COPYRIGHT: (C)1988, JPO&Japio

⑫ 公開特許公報(A)

昭63-293970

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月30日

H 01 L 27/04
21/60
27/01

3 2 1

V-7514-5F
6918-5F
6655-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体装置及びそれに使用する電極の形成方法

⑰ 特 願 昭62-128271

⑱ 出 願 昭62(1987)5月27日

⑲ 発 明 者 小 倉 節 生 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 山 崎 幸 一 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 小 和 瀬 靖 明 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 須 藤 嘉 明 東京都千代田区丸の内1丁目5番1号 株式会社日立製作所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置及びそれに使用する電極の形成方法

2. 特許請求の範囲

1. 半導体基体の一主表面上に半導体回路素子が形成され、この回路素子上に素子間を接続する電極および上記電極材の一部をレーザトリミングした抵抗又は及び容量が形成され、上記電極材からなるパッドの一部はトリミング時の検査のためのパッドであってその表面は絶縁膜で覆われるとともにワイヤボンディングのための他のパッドは窓孔を適し露出していることを特徴とする半導体装置。

2. 特許請求の範囲第1項に記載の半導体装置において、上記抵抗又は及び容量のトリミングされる部分とこれと隣り合って並び形成された電極との間はトリミングされない部分と電極との間よりも広くあけられている。

3. 基体上で電極材膜を写真処理によって電極パターンを形成する工程、上記電極パターンの上

を絶縁膜で覆い、又は上記電極パターンの一部を露出して他を絶縁膜で覆う工程、上記電極パターンを触針して特性測定を行いながら上記絶縁膜を介し又は上記露出した部分を通してレーザトリミングを行うことを特徴とする電極の形成方法。

4. 特許請求の範囲第3項に記載の電極形成法において、上記トリミングを行う電極パターンの一部は抵抗又は及び容量として形成する。

5. 特許請求の範囲第3項又は第4項に記載の電極の形成方法において、上記絶縁膜は無機絶縁膜でありこの絶縁膜を介して電極パターンの一部をトリミングする。

6. 特許請求の範囲第3項又は第4項に記載の電極の形成方法において、上記絶縁膜は有機絶縁膜であって一部のみを露出してこの部分を通してトリミングする。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置におけるレーザトリミング

による電極、抵抗あるいは容量等の形成技術に関する。

〔従来技術〕

ハイブリッド半導体装置において、誘電体上の抵抗レーザトリミング技術は日常的なものとなってきた(工業調査会電子材料1985年5月号p118-)。この技術では、基体はセラミックやガラスであり、抵抗材料は高導電率のAg-Pd合金等が主体であってレーザトリミング技術によってより高密度な回路を実現するものである。

モノシリッタ半導体装置においては、本発明者によって検討された技術として、Ni-Cr-Si、Cr-Si等の金属蒸着膜を下地絶縁膜上に形成し、それ自体をトリミング加工して抵抗を得る方法が提案されている。

〔発明が解決しようとする問題点〕

上記した方法によれば、(1)金属蒸着膜をSiウエハ上に形成するためコストアップになる。(2)Si内部に作り込まれる拡散抵抗と金属蒸着膜抵抗とは温度特性が異なるために採用にあたって制限が

しながら、上記絶縁膜を介し又は上記窓孔を通して電極パターンの一部を適正にレーザトリミングすることからなるものである。

〔作用〕

上記した手段によれば、電極パターンをレーザトリミングするのみで所要の特性をもつ電極パターンを形成することができ、大幅なコストアップにならず信頼性高く高精度の抵抗・容量等の素子が得られ前記目的を達成するものである。

〔実施例1〕

第1図乃至第8図は本発明の一実施例を示すものであって、IC等の半導体装置における電極パターン形成プロセスを示す工程断面図である。

以下工程順に詳述する。

- (1) ウエハ状態の半導体基板、たとえばSi基板1において、表面酸化膜2をマスクに選択拡散を行い素子領域の一部となる拡散層3を形成する(第1図)。
- (2) 表面酸化膜2に電極コンタクトのための窓孔をあける(第2図)。

あること、(3)容量等の他の素子の高精度化には効果がない等の欠点がある。

本発明は上記した問題点を克服するためになされたものであって、その目的とするところは、コストアップにならず、信頼性が高く高精度の電極-抵抗が得られるレーザトリミングによる電極、抵抗形成技術を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書の記述ならびに添付図面からあきらかになる。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記のとおりである。

すなわち、一主表面に半導体回路素子が形成された半導体基体上に電極材被膜を形成し、写真処理によって上記素子間に接続する所定の電極(配線)パターンを形成し、上記電極パターン上に絶縁膜で覆い、一部に電極の全面又は一部を露出するように上記絶縁膜に窓孔をあけた後、上記電極の表面の一部に触針して素子の電気的特性を測定

(3) Ag等の金属をスパッタ(蒸着)し、パターンマスクを使用してホットエッチングを行うことにより電極(配線、抵抗等を含む)パターン4a, 4bを形成する(第3図)。

(4) 電極パターンの一部(パッド部)4bに測定針5を当てて所要とする特性、たとえば抵抗値を測定しながら、レーザトリミングによって必要なトリミング箇所6で電極を切断して抵抗7とする(第4図)。

(5) 一層配線構造の場合は全面をプロテクション(保護絶縁膜)8で覆い、ボンディングパッド部分9のみを窓開露出する(第5図)。

なお、2層以上の多層配線構造の場合には、第9図を参照し絶縁膜8は層間絶縁膜として形成され、この上に第2層配線13を配設することになる。

(6) ウエハをスクライブして個々のチップ1a, 1bに分断する(第6図)。

(7) チップをリードフレーム10に接続し、ひきつづいてワイヤ11によるボンディングを行う(第

7図)。

(8) チップ、リードを樹脂12等でモールド封止(又はガラス封止)して半導体装置を完成する(第8図)。

上記実施例から得られる作用効果は下記のとおりである。

- (1) 初めにホトエッチングにより電極(配線、抵抗)のパターンを形成し、レーザトリミングにより所要の箇所、寸法に切断するのみであるから、トリミング加工が瞬時にかつ、適正にでき、大幅なコストアップにはならない。
- (2) 針当てにより測定しながらトリミングするから高精度で信頼性の高い抵抗、容量が得られる。
- (3) トリミングを必要とする素子とそうでない素子とは同じ構造及び材料で作られるために、温度特性や組立後の歪による特性変動が同一方向におこるため歩留りが低下することはない。
- (4) これにより従来ICの外部より調整を必要としていた部分をICに内蔵することが出来る。その結果、ICのピン数を削減し、素子数の低減が

レーザ光で例えば SiO_2 膜上のA₁電極を切断する場合に、第10図を参照し、下地 SiO_2 膜14ではレーザ光が透過して膜内で乱反射を起し、レーザ光の焦点合せが困難となる。又、トリミングしようとするA₁電極15以外のトリミングしないA₁電極(配線)16を傷つけないようにレーザ光の方向を調整するのが極めて困難である。

本実施例3では第11図に示すように、下地の絶縁膜(SiO_2)14の上に有機樹脂からなる第2の下地膜17を形成しその上にA₁電極15、16を設け、トリミングしないA₁電極(配線)16を有機絶縁膜のマスク18で覆い、露出する部分でレーザ光照射を行いトリミングする。有機樹脂はたとえばポリイミド・イソ・インドロキナゾリン・ジオンのごときポリイミド系樹脂を使用する。

以上のような実施例3によれば、有機樹脂はレーザ光を吸収し透過しないために反射光を考慮する必要がない。このことにより、高集積化したICを製造することが可能である。

可能となった。

〔実施例2〕

前記実施1において、工程(4)ではトリミングを行わず、ウエハ段階での最終工程(5)でレーザトリミングにより電極を切断する。このような実施例によれば、最終配線が終了しており回路が完成しているために触針をして特性チェックを行いながらトリミングするためトリミング精度の向上を図ることができる。

また、この実施例では触針を1回するのみで同時に数個所のトリミングとベレット検査を行うことができる。この場合、ハイブリッドIC等チップを別基板の上に搭載した後、モノリシックチップの電極を切断してトリミングしICを形成する場合も含まれる。

〔実施例3〕

前掲実施例1において工程(4)で電極パターンのレーザトリミングする際に有機樹脂膜によるマスクを用いる。又、下地絶縁膜にも有機樹脂膜を用いる。

なお、上記実施例3において、なんらかの手段で電極を覆い、その上にトリミングで切断するための専用の電極層を設けてもよい。このような手段によればレーザカッタ等により異物が飛散し他の電極に影響を与えることがない。

〔実施例4〕

前掲実施例3の代りに、第12図に示すように電極パターン15、16を覆うマスクとして無機膜、たとえばCVD(化学的気相堆積法)- SiO_2 膜19を全面にうすく形成する。この場合、うすいCVD- SiO_2 膜19を通してレーザ光を照射してトリミングを行うことになる。

上記実施例3によれば、レーザトリミングで電極パターンを切断する場合に、電極パターンの表面に電極材料の飛散による汚染や損傷がなくなり、ICの信頼性を向上できる。

〔実施例5〕

トリミング専用パッドは完成時には表面絶縁膜で覆われる。レーザトリミング箇所が多数あるICにおいてはトリミング専用パッドの数が増加する。

第13図に示すようにレーザトリミングの際にはトリミングされる電極15とトリミング用パッド20のみを露出して他は絶縁膜21で覆う。このトリミング用パッド20に触針して測定しながらレーザトリミングを行った後第14図に示すように全面をパッシベーション膜24で覆い、ボンディングパッド部分23のみを露出し、この部分でワイヤ22によるボンディングを行うことになる。

このような構造ではトリミング個所が増加した場合にも、電極材の飛散による汚染損傷を防止できるとともに、高精度高信頼性のICが得られる。
〔実施例6〕

抵抗・容量など切断しようとする電極と他の電極との間の十分なスペースを設ける例。

従来の半導体製品においては、第15図に示すように電極(配線)23, 24の間隔はその電極を切断しようとするものと切断を要しないとの別なく一定($d_1 = d_2$)である。たとえば通常のA ℓ 配線パターンにおいてA ℓ 配線幅Wが5 μ mであれば配線間隔 d_1 (d_2)は3 μ m程度であった。

成する半導体装置一般に適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、新しい工程を追加することなく高精度、高信頼性の抵抗・容量等の素子を有する半導体装置を提供できる。

4. 図面の簡単な説明

第1図乃至第8図は本発明の一実施例を示す半導体装置製造プロセスの工程断面図である。

第9図は多層配線構造の例を示す断面図である。

第10図はレーザトリミングの形態を示す断面図である。

第11図及び第12図は本発明の他の実施例をそれぞれ示すレーザトリミング時の一部工程断面図である。

第13図乃至第14図は本発明の他の実施例を示す一部工程断面図である。

第15図及び第16図は従来例及び本発明の他

本実施例では第16図に示すように、切断しようとする電極25と、その部分にそって配置される配線2bとの間隔 d_1 を切断に関係のない部分との間隔 d_2 より大きくたとえ $d_1 = 8\mu$ mとする。パターンの混んでいる部分はW、 d_2 は最小パターンで形成する。

このような実施例6によれば、レーザトリミングで電極を切断する場合、レーザの合わせ精度を考慮に入れ切断による損傷を少なくし歩留り向上を図ることができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば実施例6は前掲の実施例3, 実施例4を併用することにより相乗した効果が得られる。

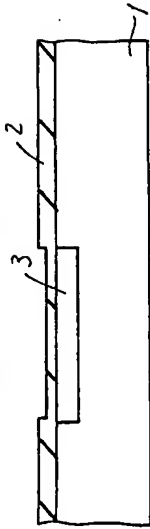
上記実施例で述べた基板は半導体基板以外にプリント基板などの絶縁板であってもよい。本発明は電極材被膜を切断して抵抗、容量等の素子を形

の実施例を示す電極パターンの平面図である。

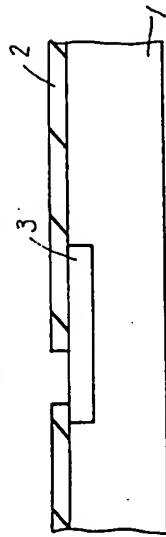
1…Si基板、2…酸化膜、3…拡散層、4…電極パターン、5…測定用触針、6…切断部、7…抵抗、8…絶縁膜、9…ボンディングパッド、10…リードフレーム、11…ワイヤ、12…樹脂モールド体、14…下地絶縁膜(無機)、17、18…有機絶縁膜。

代理人 弁理士 小川 勝男

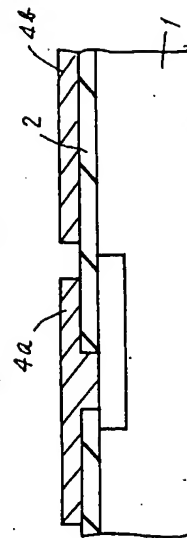
第 1 図



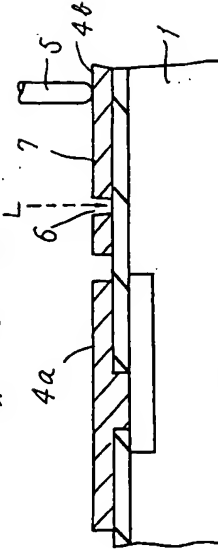
第 2 図



第 3 図

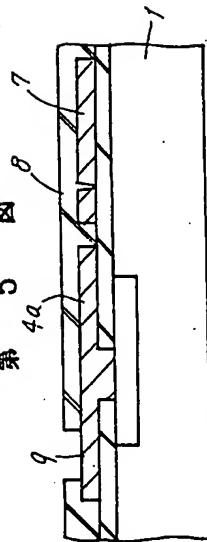


第 4 図

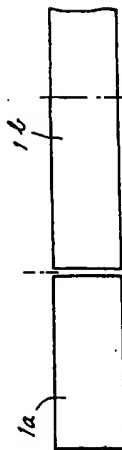


- 1-Si基板
- 2-SiO₂膜
- 3-拡散層
- 4a, 4b-電極
- 5-測定針
- 6-トリミング部
- 7-抵抗

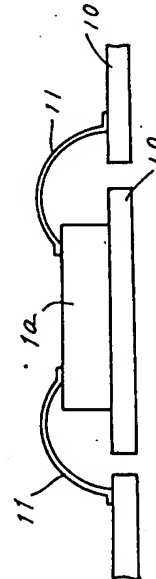
第 5 図



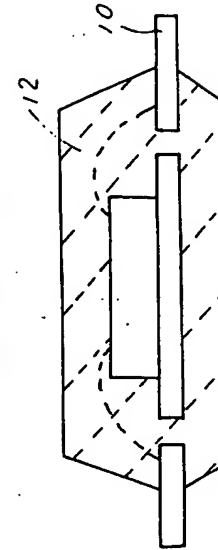
第 6 図



第 7 図

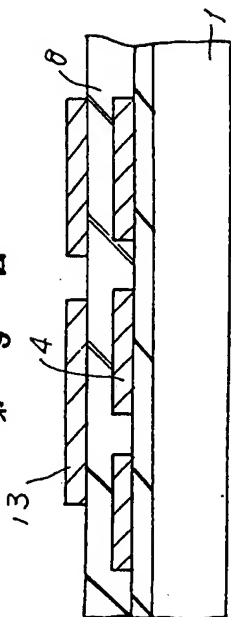


第 8 図

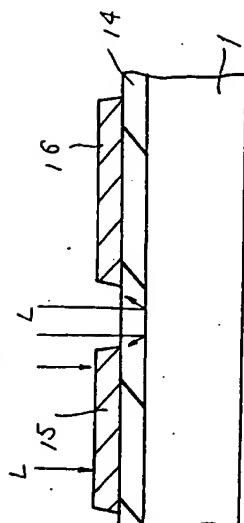


- 8-絶縁膜
- 9-ボンディングバンド
- 10-リッドフレーム
- 11-ワイヤ
- 12-樹脂モールド体

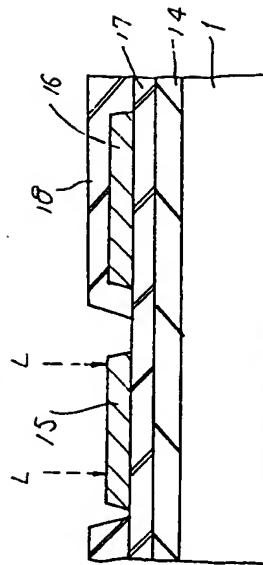
第 9 図



第 10 図

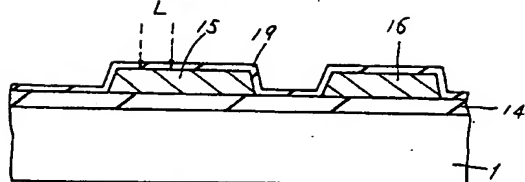


第 11 図

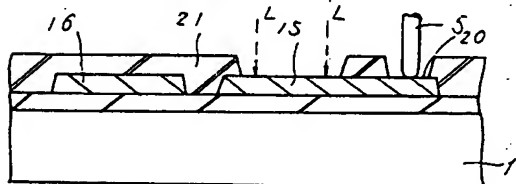


0—層間絶縁膜
13—第2層配線
14—下地絶縁膜(SiO₂)
15,16—Al電極
17—第2の下地絶縁膜(ポリイミド)
18—絶縁膜(ポリイミド)

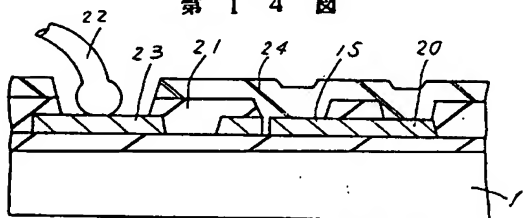
第 12 図



第 13 図

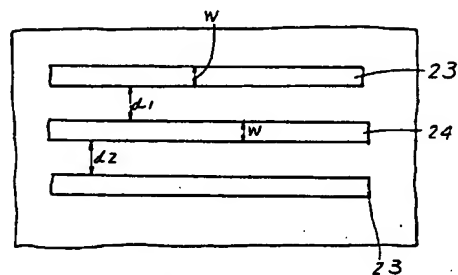


第 14 図



19—CVD. SiO₂膜

第 15 図



第 16 図

